

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3062413号

(P3062413)

(45)発行日 平成12年7月10日(2000.7.10)

(24)登録日 平成12年4月28日(2000.4.28)

(51)Int.Cl. <sup>7</sup>	識別記号	F I
H 0 1 L 23/12		H 0 1 L 23/12 N
H 0 5 K 1/16		H 0 5 K 1/16 D
	1/18	1/18 J
// H 0 5 K 1/11		1/11 H
		H 0 1 L 23/12 B

請求項の数3(全4頁) 最終頁に続く

(21)出願番号	特願平7-28003	(73)特許権者	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成7年2月16日(1995.2.16)	(72)発明者	中村 嘉文 大阪府門真市大字門真1006番地 松下電 器産業株式会社内
(65)公開番号	特開平8-222656	(72)発明者	別所 芳宏 大阪府門真市大字門真1006番地 松下電 器産業株式会社内
(43)公開日	平成8年8月30日(1996.8.30)	(72)発明者	板垣 峰広 大阪府門真市大字門真1006番地 松下電 器産業株式会社内
審査請求日	平成10年7月3日(1998.7.3)	(74)代理人	100095555 弁理士 池内 寛幸 (外1名)
		審査官	田中 永一

最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【特許請求の範囲】

【請求項1】 半導体素子を備えたセラミック配線基板を含む半導体装置において、  
セラミック配線基板の厚さ方向に貫通するビアホール内に、導電性物質と誘電性物質がそれぞれ充填され、  
前記セラミック配線基板の第一面にグランド電位の導体層を備え、セラミック配線基板の第二面に電源電位の導体層を備え、第一面の電位と第二面の電位とが異なる前記グランド電位の導体層と電源電位の導体層とに挟まれ、  
前記ビアホールに充填された誘電性物質は、前記第一面と第二面の導体層の焼結形成の際に同時に焼成されて容量発生領域を形成しており、  
かつ、前記焼結済みセラミック配線基板上に半導体素子がフリップチップ実装されていることを特徴とする半導

体装置。

【請求項2】 半導体素子を備えたセラミック配線基板の半導体素子側に電極を1層、反対面に電極を1層備えた請求項1に記載の半導体装置。

【請求項3】 セラミックグリーンシートの厚さ方向に、導電性物質充填用のビアホールと誘電性物質充填用のビアホールを貫通して設け、  
前記導電性物質充填用のビアホールに導電性物質を充填し、前記誘電性物質充填用のビアホールに誘電性物質を充填し、  
前記誘電性物質が充填されたビアホールの端を挟むように導体ペーストを印刷して配線パターンを形成し、  
次いで、焼成して前記誘電性物質を充填したビアホールを容量発生領域に形成し、  
前記焼結済みセラミック配線基板上に半導体素子をフリ

ップチップ実装することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は電子部品を実装する配線基板内に容量発生領域（バイパスコンデンサ）を持つ半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】現在、製造されている回路基板内では様々な雑音が発生している。この雑音は回路動作に悪影響を及ぼし、回路の誤動作を起こす要因となっている。そこで回路設計者は回路設計時に基板内雑音防止対策の1つとして半導体装置の近傍にバイパスコンデンサを挿入した回路を作成する。このバイパスコンデンサは半導体装置のグランド電位部と電源電位部との間に挿入されるコンデンサで、基板内雑音の防止に対して大変有効であり、一般的によく利用される。前記コンデンサの実装部品のタイプは挿入部品、面実装部品などがあり、種類としてはセラミックコンデンサ、タンタル電解コンデンサなどがある。また、セラミック多層配線基板においては、層内に容量発生領域を有するものもある。この方式によると、配線基板上の電子部品数を少なくすることができ、部品コストを少なくでき、また配線基板の部品実装面を有効に使用できる。これらの理由でセラミック多層配線基板においてはコンデンサ内蔵の基板も使用されつつある。図2は従来のコンデンサ内蔵の半導体装置の断面図の一例である。

【0003】図2に示す半導体装置21では、半導体素子22と電極24を備えたセラミック基板23の内部のビアホール25とビアホール25の間に内層電極26と誘電体27からなる容量発生領域を形成してバイパスコンデンサとしている。例えば特開平4-280496号公報に提案された方法によると、セラミック組成のグリーンシートに所望のビアを形成し、そのビアに導体ペーストを充填する。前記シートに導体ペーストにて内層電極パターンをスクリーン印刷し、配線パターンが覆われるように誘電体ペーストをスクリーン印刷する。この印刷物を乾燥した後、導体ペーストにて誘電体形成部上に内層電極26を印刷する。前記工程を繰り返し、導電層と誘電体層を交互に形成し、容量発生領域を形成する。

【0004】

【発明が解決しようとする課題】しかしながらこの方法によると、電子部品数を減らすことはできるが、セラミック基板内に容量発生領域を形成する際に導体と誘電体を交互に数回印刷する必要があり、工数が多くなる。また内層を形成するには、少なくとも4層以上の多層基板となってしまう。さらには配線領域が小さくなる等の問題もある。

【0005】本発明は上記課題を解決するため、高密度で、かつ部品数のセラミック配線基板を提供し、高機能

で安価なパッケージの供給を可能にする半導体装置及びその製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】前記目的を達成するため、本発明の半導体装置は、半導体素子を備えたセラミック配線基板を含む半導体装置において、セラミック配線基板の厚さ方向に貫通するビアホール内に、導電性物質と誘電性物質がそれぞれ充填され、前記セラミック配線基板の第一面にグランド電位の導体層を備え、セラミック配線基板の第二面に電源電位の導体層を備え、第一面の電位と第二面の電位とが異なる前記グランド電位の導体層と電源電位の導体層とに挟まれ、前記ビアホールに充填された誘電性物質は、前記第一面と第二面の導体層の焼結形成の際に同時に焼成されて容量発生領域を形成しており、かつ、前記焼結済みセラミック配線基板上に半導体素子がフリップチップ実装されていることを特徴とする。

【0007】前記半導体装置においては、半導体素子を備えたセラミック配線基板の半導体素子側に電極を1層、反対面に電極を1層備えたことが好ましい。

【0008】次に本発明の半導体装置の製造方法は、セラミックグリーンシートの厚さ方向に、導電性物質充填用のビアホールと誘電性物質充填用のビアホールを貫通して設け、前記導電性物質充填用のビアホールに導電性物質を充填し、前記誘電性物質充填用のビアホールに誘電性物質を充填し、前記誘電性物質が充填されたビアホールの端を挟むように導体ペーストを印刷して配線パターンを形成し、次いで、焼成して前記誘電性物質を充填したビアホールを容量発生領域に形成し、前記焼結済みセラミック配線基板上に半導体素子をフリップチップ実装することを特徴とする。

【0009】

【作用】前記本発明の半導体装置及びその製造方法によれば、セラミック配線基板の内部に導電性物質を充填したビアホールと誘電性物質を充填したビアホールとを備え、前記ビアホールに充填された誘電性物質は、第一面と第二面の導体層の焼結形成の際に同時に焼成されて容量発生領域を形成することにより、雑音対策に有効なバイパスコンデンサを基板上に実装する必要がなくなり、コンデンサ部品を減らすことができ、部品のコスト削減が可能となる。

【0010】また半導体素子を備えたセラミック配線基板の第一面にグランド電位の導体層を備え、セラミック配線基板の第二面に電源電位の導体層を備え、第一面の電位と第二面の電位とが異なる前記グランド電位の導体層と電源電位の導体層とに挟まれ、前記ビアホールに充填された誘電性物質は、前記第一面と第二面の導体層の焼結形成の際に同時に焼成されて容量発生領域を形成しており、かつ前記焼結済みセラミック配線基板上に半導体素子がフリップチップ実装されていることにより、非

常に小さな領域にコンデンサを内蔵させることができる。

【0011】また半導体素子を備えたセラミック配線基板の半導体素子側に電極を1層、反対面に電極を1層備えるという本発明の好ましい例によれば、コンデンサ内蔵基板を2層基板で構成することが可能となる。

【0012】

【実施例】以下本発明を実施例を用いて具体的に説明する。

【0013】図1は本実施例におけるセラミック配線基板にコンデンサを内蔵した半導体装置1の断面図を示す。この半導体装置は、半導体素子2及びセラミック配線基板3を備え、基板3の素子側の面にはグランド電位配線5、反対面には電源電位配線6が形成されている。グランド電位配線5と電源電位配線6とに挟まれた領域に設けられたビア孔4には導体ペーストまたは誘電体ペースト7が充填されている。

【0014】基板3の形成用素材として、汎用のセラミックグリーンシートを使用した。導体ペーストは、CuO粉末（平均粒径 $3\mu\text{m}$ ）に接着強度を得るためのガラスフリット（日本電気硝子社製LS-0803ガラス粉末、平均粒径 $3\mu\text{m}$ ）を2.5重量%加えたものを無機成分とし、有機バインダであるエチルセルロースをターピネオールに溶かしたビヒクルを加えて、3段ロールにより適度な粘度になるように混合して作製した。ビア孔4の内部に誘電体7を形成するために用いる誘電体ペーストは誘電体組成（モル比）が、 $\text{Pb}_{1.0}\text{Ca}_{0.01}(\text{Mg}_{1/3}\text{Nb}_{2/3})_{0.8}\text{Ti}_{0.125}(\text{Ni}_{1/2}\text{W}_{1/2})_{0.075}\text{O}_{3.01}$ となるように配合し、配合済み粉末に有機バインダとしてポリビニルブチラール、可塑剤としてジ-n-ブチルフタレート15重量%加えて、3段ロールにより適度な粘度になるように混合して作製した。まず、前記グリーンシートにビア孔をあけ、導体用のビアホールをマスクして前記誘電体ペーストでビアホールをグリーンシートの下から吸引しながらスクリーン印刷で埋めた。次に高誘電体をビアホール埋めした部分にマスクを行い、前記導体ペーストでグリーンシートの下から吸引しながらスクリーン印刷で埋め、空气中で乾燥した。次に前記積層体を空气中、 $600^{\circ}\text{C}$ の温度において脱バインダを行なった。その後積層体を水素ガス100%雰囲気中で $200^{\circ}\text{C}$ 、5時間で還元した。この時のCu層をX線回折により分析したところ100%Cuであることを確認した。最後に純窒素中 $900^{\circ}\text{C}$ のメッシュベルト炉で焼成した。焼成済みのセラミック基板にビア孔埋め後のグリーンシートに、半導体素子2のグランド配線と電源配線とで高誘電体を充填しているビアホールの端を挟むように導体ペーストでスクリーン印刷して配線パターンを形成した。その後純窒素中 $900^{\circ}\text{C}$ のメッシュベルト炉で焼成した。配線パターン用導体としては、一般に市販されているデュポン（Dupont）社製QP

153ペーストを使用した。前記焼結済みセラミック配線基板3上に半導体素子2をフリップチップで実装した。

【0015】セラミック配線基板3の面積は $20\text{mm} \times 20\text{mm}$ とし、コンデンサ形成部の面積は $0.5\text{mm} \phi$ 、コンデンサ部の誘電率8000（ $1\text{MHz}$ 、 $25^{\circ}\text{C}$ ）、 $\tan \delta$ （%） $< 0.7$ 、絶縁体厚み $0.3\text{mm}$ とした。

【0016】その結果、グランド電位層と電源電位層の間に約 $0.004\mu\text{F}$ の容量を持たせることができた。よって $0.004\mu\text{F}$ の容量をもつコンデンサ内蔵の半導体装置の作製が可能となり、基板内で発生する雑音に対処できた。

【0017】

【発明の効果】以上説明した通り、本発明の半導体装置及びその製造方法によれば、セラミック配線基板の内部に導電性物質を充填したビアホールと誘電性物質を充填したビアホールとを備え、前記ビアホールに充填された誘電性物質は、第一面と第二面の導体層の焼結形成の際に同時に焼成されて容量発生領域を形成することにより、雑音対策に有効なバイパスコンデンサを基板上に実装する必要がなくなり、コンデンサ部品を減らすことができ、部品のコスト削減が可能となる。また半導体素子を備えたセラミック配線基板の第一面にグランド電位の導体層を備え、セラミック配線基板の第二面に電源電位の導体層を備え、第一面の電位と第二面の電位とが異なる前記グランド電位の導体層と電源電位の導体層とに挟まれ、前記ビアホールに充填された誘電性物質は、前記第一面と第二面の導体層の焼結形成の際に同時に焼成されて容量発生領域を形成しており、かつ前記焼結済みセラミック配線基板上に半導体素子がフリップチップ実装されていることにより、非常に小さな領域にコンデンサを内蔵させることができる。

【0018】また半導体素子を備えたセラミック配線基板の半導体素子側に電極を1層、反対面に1層備えることにより、コンデンサ内蔵基板を2層基板で構成することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例のコンデンサ内蔵の半導体装置の断面図。

【図2】従来例のコンデンサ内蔵の半導体装置の断面図。

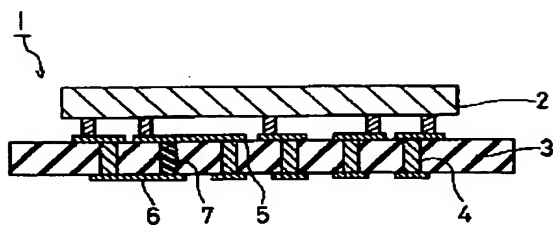
【符号の説明】

- 1、21 半導体装置
- 2、22 半導体素子
- 3、23 セラミック配線基板
- 4、25 ビアホール
- 5 グランド電位配線
- 6 電源電位配線
- 7 誘電体
- 24 電極

26 内部電極

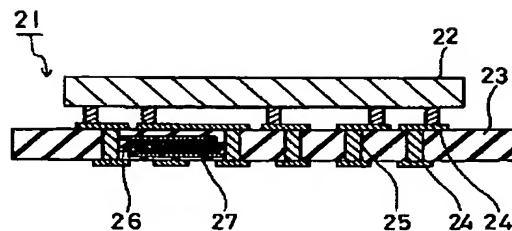
27 誘電体

【図1】



- 1 半導体絶縁層  
2 半導体素子  
3 セラミック配線基板  
4 ビアホール  
5 グランド電位配線  
6 電線電位配線  
7 誘電体

【図2】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

識別記号

F I

H 0 1 L 23/12

E

(72) 発明者

戸村 善広

大阪府門真市大字門真1006番地 松下電  
器産業株式会社内

(72) 発明者

三浦 和裕

大阪府門真市大字門真1006番地 松下電  
器産業株式会社内

(56) 参考文献

特開 平1-212455 (J P, A)

特開 昭64-44050 (J P, A)

特開 平1-298796 (J P, A)

(58) 調査した分野(Int. Cl.<sup>7</sup>, D B名)

H01L 23/12

H05K 1/11 - 1/18